

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-50303

(43) 公開日 平成9年(1997)2月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 B 13/02		0360-3H	G 0 5 B 13/02	L
G 1 1 B 7/09		9646-5D	G 1 1 B 7/09	A

審査請求 未請求 請求項の数 6 O L (全 13 頁)

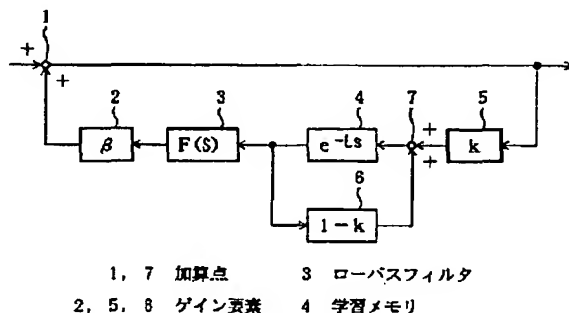
(21) 出願番号	特願平7-199635	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)8月4日	(72) 発明者	片山 剛 東京都千代田区大手町二丁目6番2号 三 菱電機エンジニアリング株式会社内
		(72) 発明者	長沢 雅人 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72) 発明者	小川 雅晴 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	弁理士 高田 守 (外4名)

(54) 【発明の名称】 繰り返し補償器およびこの繰り返し補償器を備えたディスク装置

(57) 【要約】

【課題】 繰り返し補償器を備えた制御装置において、繰り返し補償器の入力に外乱信号が混入する制御装置の目標値への追従性能を向上すること。特に、光ディスク装置などのディスク装置において、ディスクの傷や装置の振動外乱が存在する場合でも、目標値の追従性能を損なわない繰り返し補償器を得る。

【解決手段】 従来の繰り返し補償器の構成要素である入力信号の1周期分を記憶する学習メモリ4と、ローパスフィルタ3と、ゲイン要素2と、信号加算要素1に、ゲイン k ($0 \leq k \leq 1$)を有するゲイン要素5と、ゲイン $1-k$ ($0 \leq k \leq 1$)を有するゲイン要素6と、信号加算要素7を追加し、 k の値を調節することで学習メモリ4に入力信号の誤差成分を長期間保持できるようにした。



1

【特許請求の範囲】

【請求項 1】 制御系の誤差信号などの被補償信号が入力される第 1 の加算手段と、
 この第 1 の加算手段の出力信号を 1 周期分づつ順次フィードバックして上記第 1 の加算手段に入力するフィードバック信号系とを備え、
 上記フィードバック信号系が、
 上記第 1 の加算手段の出力信号に 0 以上 1 以下のゲイン k を乗ずる第 1 のゲイン要素と、
 この第 1 のゲイン k が乗ぜられた信号が入力される第 2 の加算手段と、
 この第 2 の加算手段の 1 周期前の出力信号にゲイン $1-k$ を乗じて上記第 2 の加算手段に入力する第 2 のゲイン要素と、
 上記第 2 の加算手段の出力信号を 1 周期分づつ順次更新記憶するメモリと、
 このメモリに記憶されている 1 周期分の信号に 1 以下のゲイン β を乗じて上記第 1 の加算手段に入力する第 3 のゲイン要素とで構成された繰返し補償器。
 【請求項 2】 入力された被補償信号の周期的成分の強弱を検出する相関検出手段と、
 周期性が弱い成分が検出された時は上記第 1 および第 2 のゲイン要素の k の値をほぼ 0 とし、周期性が強い成分が検出された時は上記 k の値をほぼ 1 に調節するゲイン調節手段を備えたことを特徴とする請求項 1 記載の繰返し補償器。
 【請求項 3】 入力された制御系の誤差信号などの被補償信号の周期的成分の強弱を検出する相関検出手段と、
 上記被補償信号が入力される第 1 の加算手段、およびこの第 1 の加算手段の出力信号を 1 周期分づつ順次フィードバックして上記第 1 の加算手段に入力するフィードバック信号系とで構成された短期型の補償系と長期型の補償系とを有する繰返し補償器と、
 上記相関検出手段によって周期性の弱い成分が検出された時は上記繰返し補償器の短期型の補償系の出力成分が長期型の補償系の出力成分よりも多く、また、周期性の強い成分が検出された時は長期型の補償系の出力成分が短期型の補償系の出力成分よりも多くなるように上記繰返し補償器の補償特性を調節する手段とを備えたディスク装置。
 【請求項 4】 光または磁気によりディスクに情報を記録し再生するディスク装置において、上記光または磁気を発生させるヘッドを上記ディスクの所定の位置に位置決めするためのアクチュエータまたはモータの制御システムに、請求項 1 ないし請求項 3 のいずれか 1 項に記載の繰返し補償器を備えたことを特徴とするディスク装置。
 【請求項 5】 k の値を切り換える制御モード切換指令発生手段を備えたことを特徴とする請求項 1 または請求項 2 に記載の繰返し補償器。

2

【請求項 6】 情報を記録または再生するディスク装置において、
 請求項 1 または請求項 2 に記載の繰返し補償器と、
 情報を記録または再生するヘッドを所定の位置に位置決めするトラッキング制御手段と、
 トラッキング制御モードオンオフ指令発生手段とを有し、
 上記トラッキング制御モードオンオフ指令発生手段の出力に基づきトラッキング制御手段の動作中は上記繰返し補償器の k の値をほぼ 1 とし、また、トラッキング制御手段が動作していないときは k の値をほぼ 0 に調整するように構成されたディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、制御系に用いる繰返し補償器に関するもので、例えば、ディスク装置のトラッキング・フォーカス制御系に用いられるものである。

【0002】

【従来の技術】図 10～15 は、1992 年電子情報通信学会春季大会講演論文集（4）の C-364 片山剛 著：「DSP を用いた光ディスクの学習トラッキング制御」の理論説明図、図 10 は繰返し型学習制御系の位相余裕量に対する学習限界を示す図、図 11 は繰返し型学習制御系の安定性を示すナイキスト線図である。

【0003】図 11 において、各記号は下記の意味を表す。

Im : 虚軸

Re : 実軸

$H(s)$: 動特性補償器（進み補償）

$G(s)$: アクチュエータ

$\|K(s)\|$: 安定化補償器のゲイン量

【0004】図 12 は繰返し補償器の周波数特性を示す制御系のボード線図、図 13 は DSP を用いた繰返し型学習制御系のブロック図である。図 13 において、各記号は下記の意味を表す。

A/D : アナログ・デジタル変換器

$K(s)$: 安定化補償器

$e-Ls$: 記憶部（学習メモリ）

$H(s)$: 動特性補償器（進み補償）

D/A : デジタル・アナログ変換器

DR : ドライブ

$G(s)$: アクチュエータ

【0005】図 14 は繰返し補償器の入出力信号の実測図、図 15 はトラックエラーの実測図である。

【0006】光ディスク装置のトラッキング制御は、記録密度の向上に伴い、安定性、速応性を損なわず追従能力を上げることが要求されている。そこで、トラッキング制御およびフォーカス制御に、繰返し型学習制御理

3

論を応用することで飛躍的に追従能力を向上できる。また、DSP（デジタルシグナルプロセッサ）を用いたソフトウェアサーボによっても実現できる。

【0007】次に、学習能力と安定性の関係について説明する。図10はシステムの安定性に対する学習限界を示したものである。図より位相余裕量が増えると学習能力が向上し、特に制御帯域付近の周波数特性が重要であることがわかる。これは図11に示す学習安定円に対するシステムのベクトル軌跡からも明かで、学習ループの高周波成分を減衰させるフィルタ（学習制御の安定化フ

ィルタ）を挿入することにより、基本周波数の学習能力および安定性がより向上できることを示している。

【0008】図12に従来のシステムにおける繰り返し補償器の周波数特性を示す。図中、学習によるピークは、学習ループのゲインが1に近づくほど大きくなるもので、学習能力に比例している。図12で示した繰り返し補償器では、約20dBの学習能力を有している。

【0009】図13に、従来のDSPを用いた繰り返し型学習制御系のブロック図を示す。このシステムは、多段のIIR型デジタルフィルタよりなる安定化補償器と、学習メモリ（記憶部）とで構成された光ディスクの制御系の繰り返し補償器（学習補償器）と、動特性補償器からなる。

【0010】ここで従来においては、図10の安定性を満足させるため、多段のデジタルフィルタで構成した

$K(s)$ で示される安定化補償器が必要となる。また、 $H(s)$ で示される動特性補償器を進みフィルタ構成することにより、繰り返し補償器がない場合の位相余裕量を確保し、学習システムの動特性を定めることができる。

【0011】従って、安定化補償器 $H(s)$ による動特性の設定と、繰り返し補償器による追従性の設定が別々に行えるようになる。また、以上のシステムは、一つのソフトウェア上で構成することができる。

【0012】一例として、実際の動作例を図において説明する。ここで、DSPのサンプリング周期は、50kHz、制御帯域は3kHz、位相余裕量は、約60degである。

【0013】図14は繰り返し補償器の入出力信号の波形を示した図で、学習動作後、制御偏差がほぼなくなっているのがわかる。このとき繰り返し補償器は、ディスク偏心の学習結果を出力し続けている。

【0014】図15はディスクを2mm偏心させたときのトラッキングエラーを示したもので、繰り返し型学習制御がない場合は約0.7μmの偏差が残っているが、同じ制御帯域での学習制御後、偏差は殆どなくなっている。このように実際の有効性が確認できる。

【0015】従来のシステムは、フォーカス制御の場合もまったく同様に実現できることは言うまでもない。

【0016】従来の光ディスク装置のトラッキング・フ

4

ォカス制御は、以上のように構成され、記録密度の向上に伴い、安定性、速応性を損なわず追従能力を上げることが要求されている。

【0017】従来の直結フィードバック制御からなるトラッキング・フォーカス制御は、アクチュエータの高次機械共振や、ディスクのピット列による光の変調成分が制御系へ外乱として混入し、制御帯域の高帯域化が妨げられ、無理に制御帯域を広げようとすると位相余裕が減少し、制御系が発振するなどの問題が生じた。

【0018】これに対し、上述した繰り返し型学習制御方式は、従来の制御帯域を広げずに周期的な追従目標に対する追従能力を向上させることができるため、より狭トラックなシステムや偏心の大きなシステム、ディスク回転数の高いシステム（転送レートの高いシステム）に対応することができる。

【0019】

【発明が解決しようとする課題】しかし、上述した繰り返し型学習制御は、図11に示したナイキスト線図からわかるように、従来の直結フィードバック制御では、 $(-1, 0)$ の点を左に見ながら $(0, 0)$ に集束すれば安定であった（ナイキストの安定原理）のに対し、 $(-1, 0)$ の点を中心とする円の外側をまわるようにしなければならず、安定余裕が劣化している。

【0020】また、繰り返し型学習制御は、一周期前の偏差信号を記憶し、記憶した結果をもとの制御システムにフィードフォワード加算する方式であるため、ディスクの傷や装置に加わる振動などの外乱によって周期的でない追従目標が与えられた場合、これを学習することはかえって制御システムに不要なノイズを混入することと等しくなってしまう。

【0021】そのため、振動が加わったりディスクの傷などが混入した際の制御システムの安定性の向上や、メモリに学習されてしまう不要な無周期成分の影響を無くすことが要求されていた。

【0022】また、制御系は、一般に複数の制御モードを有する場合が多く、従来の繰り返し補償器を適用した制御系においては、制御モードを切り換える度に繰り返し補償器のメモリの内容が失われるため、再度元の制御モードに戻ったときに新たに繰り返し補償器が集束するまでの間、繰り返し補償器の効果が現れないと言う問題点があった。

【0023】具体的には、例えば、光ディスク装置、または磁気ディスク装置のトラッキング制御系に繰り返し補償器を適用した場合、シーク動作の直後にトラッキング制御モードに切り換える度に繰り返し補償器の内部のメモリにディスク1回転に相当する制御誤差信号が蓄積されるまで繰り返し補償器の効果は現れない。したがって、シーク直後に情報を書き込みまたは読み出しする場合は、繰り返し補償器を適用した効果が無く、トラッキング制御偏差が大きくなるという問題点があった。

【0024】

【課題を解決するための手段】この発明に係る繰り返し補償器は、制御系の誤差信号などの被補償信号が入力される第1の加算手段と、この第1の加算手段の出力信号を1周期分づつ順次フィードバックして上記第1の加算手段に入力するフィードバック信号系とを備え、上記フィードバック信号系が、上記第1の加算手段の出力信号に0以上1以下のゲイン k を乗ずる第1のゲイン要素と、この第1のゲイン k が乗ぜられた信号が入力される第2の加算手段と、この第2の加算手段の1周期前の出力信号にゲイン $1-k$ を乗じて上記第2の加算手段に入力する第2のゲイン要素と、上記第2の加算手段の出力信号を1周期分づつ順次更新記憶するメモリと、このメモリに記憶されている1周期分の信号に1以下のゲイン β を乗じて上記第1の加算手段に入力する第3のゲイン要素とで構成したものである。

【0025】また、入力された被補償信号の周期的成分の強弱を検出する相関検出手段と、周期性が弱い成分が検出された時は上記第1および第2のゲイン要素の k の値をほぼ0とし、周期性が強い成分が検出された時は上記 k の値をほぼ1に調節するゲイン調節手段を備えたものである。

【0026】また、この発明に係るディスク装置は、入力された制御系の誤差信号などの被補償信号の周期的成分の強弱を検出する相関検出手段と、上記被補償信号が入力される第1の加算手段、およびこの第1の加算手段の出力信号を1周期分づつ順次フィードバックして上記第1の加算手段に入力するフィードバック信号系とで構成された短期型の補償系と長期型の補償系とを有する繰り返し補償器と、上記相関検出手段によって周期性の弱い成分が検出された時は上記繰り返し補償器の短期型の補償系の出力成分が長期型の補償系の出力成分よりも多く、また、周期性の強い成分が検出された時は長期型の補償系の出力成分が短期型の補償系の出力成分よりも多くなるように上記繰り返し補償器の補償特性を調節する手段とで構成されたディスク装置である。

【0027】また、光または磁気によりディスクに情報を記録し再生するディスク装置において、上記光または磁気を発生させるヘッドを上記ディスクの所定の位置に位置決めするためのアクチュエータまたはモータの制御システムに、請求項1ないし請求項3のいずれか1項に記載の繰り返し補償器を備えたことを特徴とするディスク装置である。

【0028】また、請求項1または請求項2に記載の繰り返し補償器において、 k の値を切り換える制御モード切換指令発生手段を備えたものである。

【0029】また、請求項1または請求項2に記載の繰り返し補償器と、情報を記録または再生するヘッドを所定の位置に位置決めするトラッキング制御手段と、トラッキング制御モードオンオフ指令発生手段とを有し、上

記トラッキング制御モードオンオフ指令発生手段の出力に基づきトラッキング制御手段の動作中は上記繰り返し補償器の k の値をほぼ1とし、また、トラッキング制御手段が動作していないときは k の値をほぼ0に調整するように構成されたディスク装置である。

【0030】

【発明の実施の形態】この発明の実施の形態である繰り返し補償器においては、1周期分の入力信号を繰り返し記憶するために設けられた正帰還ループを含む学習メモリの入力信号が、現在の信号に k を乗じた信号とさらに1周期前の学習メモリの出力に $1-k$ を乗じた信号とで構成され、 k の値によって学習メモリの内部の情報が、1周期前の情報だけでなく、多周期にわたる情報に重み付けをした情報となるよう作用し、重みが k の値によって変化するように作用する。

【0031】また、繰り返し補償器の入力の周期的成分の強弱に応じて、繰り返し補償器内部のゲイン k の値を変化させ、周期的成分が弱い場合には学習メモリへの入力信号がさらに1周期前の入力信号にほぼ一致し、周期的成分が強い場合には現在の入力信号にほぼ一致するように作用する。

【0032】また、この発明の実施の形態であるディスク装置においては、繰り返し補償器が、短期記憶型の繰り返し補償系と長期記憶型の繰り返し補償系の両方の構成を有し、周期的な相関の強い追従目標や外乱に対しては、ほぼ短期記憶型の補償器として作用し、相関が弱い場合は、長期記憶型の補償器として作用する。

【0033】また、記憶装置の位置決め制御系においてトラック相関や外乱の周期性が強い場合には、短期記憶型の補償器の出力が重視されて、ほぼ1周期前の制御誤差信号に基づいて制御系が作用し、突発的なキズや外乱がある場合には長期記憶型の補償器の出力が重視されて過去の多周期にわたる制御誤差信号を小さくするよう制御系が作用する。

【0034】また、この発明の実施の形態である繰り返し補償器においては、制御モード切換指令発生手段の出力に応じて、繰り返し補償器内部のゲイン k が切り替わり、制御系が動作中は繰り返し補償器が学習を続け、制御系が不動作の時は k がほぼ0となって不要な入力信号を学習しないように作用する。

【0035】また、この発明の実施の形態であるディスク装置においては、光ディスク装置や磁気ディスク装置のトラッキング制御系において、トラッキング制御手段の動作中は、 k がほぼ1となって繰り返し制御系が学習を続け、制御系が不動作の時は k がほぼ0となって、学習しないように作用する。さらにシーク動作が完了してトラッキング動作を再び開始した直後は繰り返し補償器はシーク動作開始前のトラッキング制御中に学習した値を初期値として学習を続ける。

【0036】以下、この発明をその実施の形態を示す図

7

面に基づいて具体的に説明する。

実施の形態1. 光ディスクの分野においては、高密度化の要求に伴い、安定性・速応性を損なわずに追従能力を上げることが望まれている。従来は、図13に示すように、1周期分のメモリを一つの正帰還ループに持つ繰り返し補償器が用いられていた。この繰り返し補償器は、一般的な形として、様々な分野で実用化されてきたものである。しかし、この繰り返し補償器は1周期分の記憶部しかもたないため、キズ等の外乱が混入すると、この外乱が正帰還ループを何巡もし、外乱に対する影響が後々残ってしまう問題点があった。

【0037】そのため、1周期前のさらに古い記憶が行える繰り返し補償器が求められていた。これを構成するための最も簡単な方法は、メモリの容量を増やして必要な周期の分だけメモリを直結する方法がある。しかし、この方法を用いると、メモリの容量や数量が増大し、また、メモリの容量の範囲内でしか、過去の情報に遡って記憶することができなかった。図13に示した適応型繰り返し制御は、無周期性成分混入時における不必要な学習を防ぐ利点があったが、その時の追従能力の向上は不可能であった。

【0038】そこで、さらに長期記憶・短期記憶の概念を導入することによって、無周期性成分の混入時においても、良好な追従能力を実現する方法について検討した。

【0039】図1は、長期にわたって入力の周期的成分を記憶できる繰り返し補償器のブロック図である。この繰り返し補償器は、加算点1、ゲイン要素2、ローパスフィルタ3、学習メモリ4、ゲイン要素5、6、および加算点7で構成されるフィードバックループより成っている。

【0040】図1に示すように、まず、加算点1において左側からの入力信号と、ゲイン要素2の出力信号との和が繰り返し補償器の出力となる。この、繰り返し補償器の出力信号は、ゲイン要素5にて k 倍され、学習メモリ4の出力をゲイン要素6にて $1-k$ 倍した値とを加算点7にて加算した信号を学習メモリ4に入力する。学習メモリ4の出力は、ローパスフィルタ3に入力され、ゲイン要素2にて1以下のゲインを乗じて加算点1へフィードバックされる。加算点1で1周期分のトラッキングエラー信号とフィードバックループの出力が加算され出力されると同時に、フィードバックループ内のゲイン要素5に入力される。

【0041】ゲイン要素5に入力された信号は k 倍され、その信号が学習メモリ4に入力される。さらに $1-k$ のゲイン要素6で構成された正帰還されるブロックを挿入することで、1回の記憶がゲイン要素6を介して長期間にわたり持続される。この学習メモリ4の出力がローパスフィルタ3を通してゲイン要素2によって β 倍され、この β 倍された出力信号が加算点1に加算されるこ

8

とによって、長期にわたる周期的成分を記憶できる繰り返し補償器が実現できる。

【0042】図1の動作を以下に説明する。 k は0から1の値を取りうるので、例えば、 $k=1$ とすると、ゲイン要素6のゲインが0になるため、学習メモリ4自身の出力は加算点7に伝達されず、学習メモリ4にフィードバックされることはない。したがって、学習メモリ4の出力信号は、1周期（時間 L ）前の繰り返し補償器の出力と一致する。

【0043】また、 $k=0$ とすると、学習メモリ4には、繰り返し補償器自身の出力が入力されず、1周期前の学習メモリ4自身の出力が入力される。すなわち、 $k=0$ の間は、以前に学習した繰り返し補償器入力の周期的成分が永遠に繰り返し出力されると同時に、繰り返し補償器が新たな入力に対して学習することはない。

【0044】また、 k をほぼ0に近い値の一例として $k=0.02$ に設定すると、学習メモリ4の入力信号の内、2%が現在の繰り返し補償器の出力となり、98%が1周期前の学習メモリ4の出力となる。このことは、時間を1周期（ L ）だけさかのぼって考えても全く同じことが言える。すなわち、繰り返し補償器に入力される信号の過去の成分は、1周期毎に0.98の係数を乗じて徐々に薄れていき、1周期前までの、時刻に応じた重みを付けた周期的成分と、現在時間の繰り返し補償器の出力の2%が加算され、制御系が抑圧すべき信号として学習メモリ4の出力となる。 $1-k$ はいわゆる忘却係数となる。

【0045】このように、 $1-k$ の値を1以下に設定することによって、学習メモリ4内に記憶された情報は徐々に減衰するため、これが記憶課程における忘却係数として任意に設定することが可能となった。

【0046】ここで、一例として、1周期前の繰り返し補償器の入力信号と、現在の繰り返し補償器の入力信号との差の絶対値を比較し、この差が小さい場合は互いに波形が似ており、相関性が強い。逆に、前記絶対値が大きい場合は、互いに波形が似ておらず、相関性が弱いとする。

【0047】一般的な制御システムにおいては、追従目標や外乱の相関性が強い場合は、繰り返し補償器内の学習メモリに1周期分以上の記憶をさせる必要がない。一方、相関性が弱い場合は、なるべく過去の記憶を用いる必要があり、かつ、学習メモリに相関性の少ない情報を入力させないようにすることが重要である。これは、例えば、光ディスクにおけるディスク面のキズや装置の振動等による相関のない誤差信号を繰り返し補償器の学習メモリに記憶させないことに相当する。

【0048】そこで、図1に示すように、学習メモリ4の手前にゲイン k のゲイン要素5を直列に設け、相関性が強い場合は突発的な外乱の混入がないと考えられるので、 k の値を1に近づけるとともに、学習メモリ4にお

9

ける正帰還ループを構成しているゲイン $1-k$ のゲイン要素 6 を 0 に近づけて長期間の記憶を行わないようにする。

【0049】逆に、相関性が弱い信号が入力された場合は、突発的な外乱が混入したと考えられるので、 k の値を 0 に近づけて学習メモリ 4 への無周期性成分の入力を防ぐと共に、ゲイン要素 6 の $1-k$ の値を 1 に近づけて 1 周期以上前の入力信号が再び学習メモリ 4 に入力されるので、ローパスフィルタ 3 以後に外乱信号は伝達されない。また、ゲイン要素 5 のゲインがほぼ 0 になるの¹⁰で、学習メモリ 4 にも不要な外乱信号は混入されず、誤った信号を避けることができる。

【0050】繰り返し補償器を用いるためには、制御の安定条件を満足する必要がある。この安定条件は、繰り返し補償器全体の正帰還ループを開いたときのオープンループゲイン（例えば、図中の第 3 のゲイン要素 2 と加算点 1 との間を切ったときのオープンループゲイン）が 1 以下である必要がある。これは、従来のオープンループゲインの安定条件から、1 以上になるとゲインが無限大になり、回路が発振するからである。図 1 のように、²⁰ $1-k$ と k のブロックでシステムを構成すると、 k から $F(s)$ までのゲインが 1 となり、 β を 1 以下にすることにより安定条件が満足されることがわかる。このように構成することによって任意の忘却係数を持ち、学習メモリへの制限が可能な繰り返し補償器が実現可能となった。

【0051】実施の形態 2. 図 2 は、この発明の実施の形態 2 のブロック図である。図中、図 1 と同じ符号の要素は同じ構成要素を意味する。11 は AD 変換器、15 は DA 変換器、16 はローパスフィルタ、20 は周期メ³⁰モリである。図 1 は連続時間系の表現であり、いわゆるアナログ回路で実現できる。図 2 は離散時間系の表現で、いわゆるデジタル回路で実現した場合の例である。図 2 の周期メモリ 20 は信号遅延素子で、いわゆる FIFO (first in first out) メモリである。図 2 において、 $Z^{-n} = e^{-s\tau}$ (τ はサンプリング周期) であり、周期メモリ 20 における遅延時間 $n\tau$ は、抑圧したい入力信号の 1 周期に一致するよう選ばれる。

【0052】図 2 に示すように、まず、加算点 1 において AD 変換器 11 によってデジタルに変換された繰⁴⁰返し補償器の入力信号と、フィードバックループの出力が加算され、DA 変換器 15 に出力されると同時に、ゲイン要素 5 によって k 倍され、その信号が周期メモリ 20 に入力される。さらに $1-k$ のゲイン要素 6 の正帰還されるブロックを挿入することで、1 回の記憶が $1-k$ のゲイン要素 6 を介して長期間にわたり持続される。この周期メモリ 20 の出力がローパスフィルタ 16 を通ってゲイン要素 2 によって β 倍される。この β 倍された出力信号が加算点 1 に加算されることで、長期にわたる周期的成分を記憶できる繰り返し補償器が実現できる。⁵⁰

10

【0053】実施の形態 3. 図 3 は、この発明の実施の形態 3 のブロック図である。図中、図 1 または図 2 と同じ符号の要素は同じ構成要素を意味する。201 はクロック発生手段である。前記実施の形態 1 および実施の形態 2 においては、ディスクの回転が一定でない場合、ディスクの内周と外周でディスク 1 回転分の周期が異なるため、繰り返し補償器が有効に動作しない場合がある。図 2 ではサンプリング周期 τ は一定であるが、クロック発生手段 201 をモータの回転速度を検知する FG とすれば、モータの回転速度が一定でない場合においても繰り返し補償器が有効に動作する。

【0054】図 3 に示すように、まず、加算点 1 において AD 変換器 11 によってデジタルに変換された繰⁴⁰返し補償器の入力信号と、フィードバックループの出力が加算され、DA 変換器 15 に出力されると同時に、ゲイン要素 5 によって k 倍された信号が周期メモリ 20 に入力される。また、周期メモリ 20 にはモータの回転速度を検知するクロック発生手段 201 からの信号が入力される。さらに $1-k$ のゲイン要素 6 で正帰還されるブロックを挿入したことで 1 回の記憶がゲイン要素 6 を介して長期間にわたり持続される。この周期メモリ 20 の出力がローパスフィルタ 16 を通ってゲイン要素 2 によって β 倍される。この β 倍された出力信号が加算点 1 で入力信号に加算されることで、長期にわたる周期的成分を記憶できる繰り返し補償器が実現できる。

【0055】実施の形態 4. 図 4 は、この発明の実施の形態 4 のブロック図である。図中、図 2 または図 3 と同じ符号の要素は同じ構成要素を意味する。301 は相関検出器、31 はローパスフィルタ、13 は絶対値検出器、14 はコンパレータを示す。

【0056】以下、相関検出器 301 の動作を説明する。AD 変換器 11 において、デジタルに変換された繰⁴⁰返し補償器の入力信号は、ローパスフィルタ 31 に入力され、ローパスフィルタ 31 の出力信号との差が絶対値回路 13 に入力される。すなわち、絶対値回路 13 の入力、繰り返し補償器の入力信号の高周波成分を抜き出したものである。さらに、絶対値回路 13 の出力は、コンパレータ 14 によって所定のレベルと比較され、所定のレベルを超えたかどうか判断される。その結果、例えば、所定のレベルを超えたものは本来制御系が追従すべき誤差信号ではなく、高周波のノイズであると、繰り返し補償器のゲイン要素 5、6 の k の値を $k=0$ とし、所定のレベル以下であれば $k=1$ とする。このように構成することで、周期メモリ 20 の入力には学習不要なノイズが混入することが無く、繰り返し補償器は正常な信号を出すことができる。

【0057】なお、図 4 では、相関検出器 301 を絶対値回路 13 とコンパレータ 14 で構成したが、ウィンドウコンパレータだけで構成してもよい。また、絶対値回路 13 の入力部の要素は、ハイパスフィルタで構成して

11

もよい。すなわち、本来学習すべきでない外乱信号を検出できる手段であればよい。

【0058】実施の形態5. 図5は、この発明の実施の形態5のブロック図である。図中、図4と同じ符号の要素は同じ構成要素を意味する。この実施の形態5は、短期記憶型の繰り返し補償系と長期記憶型繰り返し補償系を組み合わせた繰り返し補償器を有しており、21は周期メモリ、17、18、401、402はゲイン要素、403は短期型の周期メモリブロック、404は長期型の周期メモリブロックを示す。

【0059】図5において、相関検出器301にて、繰り返し補償器の入力信号にノイズ成分が検知されない通常の場合は、例えば、ゲイン要素5と401において $k = k1 = 1$ とすれば、周期メモリ20には、現在の繰り返し補償器の出力のみが入力され、周期メモリ20からは1周期前の繰り返し補償器の出力が出力される。

【0060】また、相関検出器301にて、繰り返し補償器の入力信号にノイズ成分が検知された場合は、例えば、ゲイン要素5と401において $k = k1 = 0$ とすれば、周期メモリ20には、1周期前の周期メモリ20の出力のみが入力され、周期メモリ20は不要な学習を避けられる。

【0061】一方、ゲイン要素17、18において、例えば $\alpha = 0.98$ とすれば、周期メモリ21にはゲイン要素17の出力と18の出力の和が入力されるので、周期メモリ21自身の出力98%と、周期メモリ20の入力の2%の和が周期メモリ21の入力となる。すなわち、周期メモリ21は長期型の周期メモリとして動作する。

【0062】ここで、周期メモリ21はゲイン k の値にかかわらず学習を続けるが、前述の通り、周期メモリ20の入力、すなわち、ゲイン要素17の入力は、 k を0または1に切り換えることで、不要なノイズが除かれているので、長期型の周期メモリブロック404は不要なノイズを学習することはない。この場合、 α は忘却係数と呼ばれる。

【0063】さらに、ゲイン要素401、402の $k1$ をゲイン k と連動させて0、または1に切り換えることで、短期型の周期メモリブロック403と長期型の周期メモリブロック404の出力が交互にローパスフィルタ16に入力され、図5に示した繰り返し補償器全体が、ノイズの検出、不検出に応じて長期または短期型の繰り返し補償器として動作する。

【0064】なお、本実施の形態5においては、 k または $k1$ を0と1とに切り換えたが、かならずしも0と1ではなく、それぞれ0と1に近い値に設定しても同様の効果を得られる。さらに、 α の値として0.98も一例であり、0と1の間の値であればよく、制御システム全体で必要とされる学習期間に相当するよう α の値を設定すればよい。なお、本システムの安定条件は、実施の形

12

態1と同様に、 β の値を1以下にすることである。

【0065】実施の形態6. 以下に、この発明の実施の形態6を説明する。実施の形態5に示した繰り返し補償器を、光ディスクのトラッキング・フォーカシングシステムに導入することによって極めて高い追従能力を確保することが可能となる。通常のトラッキング・フォーカシング制御時においては、図2または図3に示した短期記憶型の繰り返し補償器を動作させることによって追従目標の相関性を利用し、従来の直結フィードバック制御系に比べて20dB以上の能力向上が可能となる。

【0066】一方、キズや振動等の外乱が混入した場合においては、図5に示した繰り返し補償器の動作を長期記憶型繰り返し補償器の加算比を増やすことによって過去のキズや振動の混入する前の相関性の強い情報を利用し、高い追従能力を確保した状態のままで、キズ等の突発的な外乱が繰り返し補償器の内部の正帰還ループを巡回することを防ぐようにしたものである。このように構成することによって、いかなる突発的な状態においても安定に繰り返し補償器を動作させることが可能となった。

【0067】実際に、図5に示した長期と短期の両方の周期成分学習機能を持つ繰り返し補償器を光ディスク装置のトラッキング制御系に適用して動作させると、図9の様になる。図9(c)に見られるように、誤差信号にディスクの傷の影響があってもトラック偏差が小さく維持されているのがわかる。

【0068】実施の形態7. 図6は、この発明の実施の形態7のブロック図である。図中、図2と同じ符号の要素は同じ構成要素を意味する。図において、501は制御モード切替指令発生手段である。繰り返し補償器を適用した制御系が動作中の場合は、例えばゲイン k を1とし、制御系が不動作の場合は0とする。 $k = 0$ の間は、繰り返し補償器は $k = 1$ の期間に学習した周期成分をDAコンバータ15から出力し続ける。さらに、その後再び制御系が動作するときには、 $k = 1$ とすることで、制御系が不動作になる以前の情報を初期値として、再び周期メモリ20が学習を開始する。

【0069】実施の形態8. 図7は、この発明の実施の形態8のブロック図である。図中、図2と同じ符号の要素は同じ構成要素を意味する。図において、601は制御系全体の安定化補償器、602は制御ループオンオフスイッチ、603は駆動回路をも含む制御対象、604はトラッキング制御モードオンオフ指令発生手段、605は信号加算手段である。

【0070】以下、動作について説明する。図6に示した構成と同じ構成の繰り返し補償器の出力信号が、安定化補償器601に入力され、その出力は制御ループオンオフスイッチ602を介して、駆動回路をも含む制御対象603に伝達される。制御対象603の出力は、信号加算手段605にて目標位置信号から減算され、繰り返

13

し補償器の入力であるADコンバータ11に入力される。

【0071】例えば、制御対象603が光ディスク装置のトラッキングアクチュエータであるとする、トラッキング動作中は、スイッチ602がオンとなり、ゲイン要素5、6のkの値が $k=1$ となって、繰り返し補償器が動作する。さらにトラッキング動作開始前や、シーク動作時にはスイッチ602がオフとなるので、同時にゲイン要素5、6のkの値を $k=0$ とすることで、周期メモリ20は不要な学習を行わない。

【0072】その後、シーク動作完了直後には再びスイッチ602がオンとなり、ゲイン要素5、6のkの値が $k=1$ となって繰り返し補償器が動作する。このとき、周期メモリ20はシーク動作開始前の入力トラッキング制御エラー信号の周期成分をメモリしている、DAコンバータ15からは直ちにトラッキング制御エラー信号の周期成分を補償する信号が出力され、結果的に信号の加算点1の出力であるトラッキングエラー信号のレベルが小さくなり、光スポットの目的トラックへの追従性能がトラッキング動作開始直後から向上する。

【0073】なお、この実施の形態8は、光ディスク装置だけでなく、磁気ディスク装置のトラッキング制御系にも全く同様に適用できる。

【0074】実施の形態9。図8は、この発明の実施の形態9のブロック図である。図中、図7と同じ符号の要素は同じ構成要素を意味する。図8に示すように、安定化補償器601を離散時間系において実現してもよく、制御ループオンオフスイッチ602は繰り返し補償器の入力側に設置してもよい。このとき、図7との動作の違いは、シーク中にも制御対象であるトラッキングアクチュエータ603に繰り返し補償器の出力が伝達され、トラッキングアクチュエータがシーク中にもディスクのトラック振れ成分に追従する。

【0075】このように構成することで、シーク中に光スポットがディスクの偏芯の影響を受けることが無く、シーク中の横断トラック数を正確にカウントできる。さらに、安定化補償器601を制御ループオンオフスイッチ602の直前、または直後に配置してもよく、安定化補償器601と制御ループオンオフスイッチ602の配置は特に問わない。また、DAコンバータ15は必ずしも必要ではなく、PWM出力でもよい。

【0076】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0077】請求項1の発明においては、ゲインkの値を0から1の間の値に設定することで、繰り返し補償器の学習時間を自由に設定できる。したがって、繰り返し補償器を入力信号の1周期から無限時間まで学習時間を変更できる。

【0078】請求項2の発明においては、繰り返し補償

14

器の入力信号の周期成分の強弱を検出する手段の出力に応じてゲインkを切り換えるようにしたので、繰り返し補償器が不規則外乱などの影響を受けることなく動作するため、信頼性の高い学習が可能となる。

【0079】請求項3の発明においては、長期型の周期メモリと短期型の周期メモリを組み合わせる構成とし、不規則外乱検出結果に応じて短期型と長期型の繰り返し制御器として動作する。通常は短期型の繰り返し制御器として動作し、集束が速くなる効果がある。また、不規則外乱検出時には長期型の繰り返し制御器として動作し、よりいっそうノイズ外乱に強い繰り返し補償器を実現できる。

【0080】請求項4の発明においては、光ディスク装置または磁気ディスク装置において、ディスクの1周期分を記憶するメモリとフィードフォワード加算する短期の繰り返し補償器と長期記憶型の繰り返し補償器を用い、制御系の誤差信号に含まれる周期性の強弱に応じて、短期記憶と長期記憶の出力加算比を変化させることで振動やディスクのキズ等の突発的な外乱に影響されることのないトラッキング、またはフォーカシング制御システムを実現できる。

【0081】請求項5の発明においては、制御モード切換指令発生手段の出力に基づいてゲインkの値を切り換える構成としたので、制御系の動作が中止されても繰り返し補償器の内部の周期メモリの内容がリセットされることが無く、その後再び制御系が動作した直後に繰り返し補償器が正常に動作し、従来のように繰り返し補償器が集束するまでの待ち時間が無くなる。

【0082】請求項6の発明においては、光ディスク装置または磁気ディスク装置などディスク装置のトラッキング制御系に繰り返し補償器を適用した場合、シーク動作中も繰り返し補償器の内容がリセットされることが無く、シーク動作完了直後にトラッキング動作を再開する瞬間から繰り返し補償器が正常に動作し、トラッキングエラーが抑圧されるという効果があり、さらに、光ディスク装置においては、シーク中にも繰り返し補償器の出力をトラッキングアクチュエータに加える構成とすることで、シーク中にも光スポットが、ディスクの偏芯に追従するため、シーク中の横断トラック数を正確にカウントでき、精度の良いシーク動作を実現できるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による繰り返し補償器のブロック図である。

【図2】 この発明の実施の形態2による繰り返し補償器のブロック図である。

【図3】 この発明の実施の形態3によるクロック発生手段を有する繰り返し補償器のブロック図である。

【図4】 この発明の実施の形態4による相関検出器を有する短期記憶型の繰り返し補償器と長期記憶型の繰

15

返し補償器のブロック図である。

【図5】 この発明の実施の形態5による短期記憶型の繰返し補償器と長期記憶型の繰返し補償器を組み合わせた繰返し補償器のブロック図である。

【図6】 この発明の実施の形態7による短期記憶型の繰返し補償器と長期記憶型の繰返し補償器を組み合わせた繰返し補償器のブロック図である。

【図7】 この発明の実施の形態8による短期記憶型の繰返し補償器と長期記憶型の繰返し補償器を組み合わせたブロック図である。

【図8】 この発明の実施の形態9による短期記憶型の繰返し補償器と長期記憶型の繰返し補償器を組み合わせたブロック図である。

【図9】 この発明の各実施の形態による動作結果を示す波形図である。

【図10】 従来の繰返し型学習制御系の位相余裕量に対する学習限界を示す図である。

【図11】 従来の繰返し型学習制御系の安定性を示す図である。

【図12】 従来の繰返し補償器の周波数特性を示す図である。

10

*

16

*【図13】 従来のDSPを用いた繰返し型学習制御系のブロック図である。

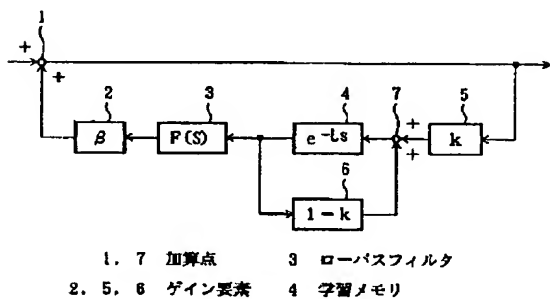
【図14】 従来の繰返し補償器の入出力信号の実測図である。

【図15】 従来のトラックエラー信号の実測図である。

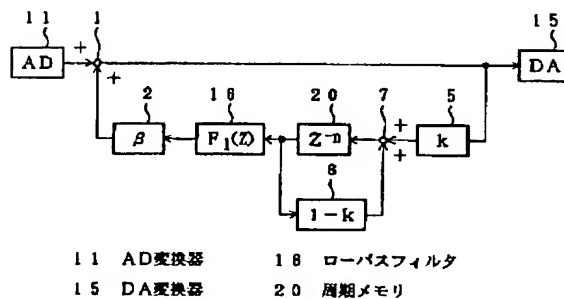
【符号の説明】

1 加算点、2 ゲイン要素、3 ローパスフィルタ、4 学習メモリ、5, 6 ゲイン要素、7 加算点、10 1 AD変換器、13 絶対値検出器、14 相関検出器、15 DA変換器、16 ローパスフィルタ、17, 18ゲイン要素、20, 21周期メモリ、31 ローパスフィルタ、201 クロック発生手段、301 相関検出器、401, 402ゲイン要素、403 短期の周期メモリブロック、404 長期のメモリブロック、501 制御モード切り換え指令発生手段、601 制御系全体の安定化補償器、602 制御ループオンオフスイッチ、603 駆動回路を含む制御対象、604 トラッキング制御モードオンオフ指令発生手段、605 信号加算手段。

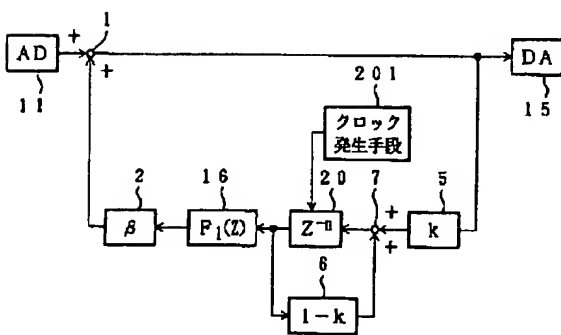
【図1】



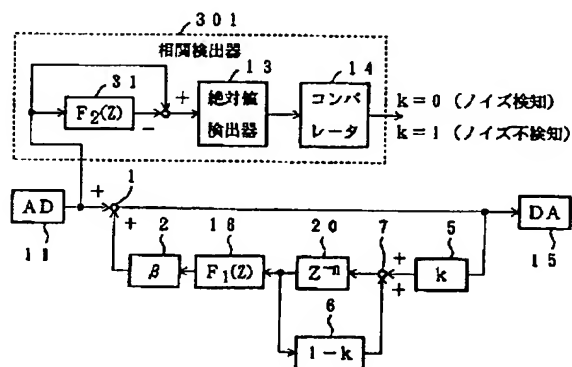
【図2】



【図3】



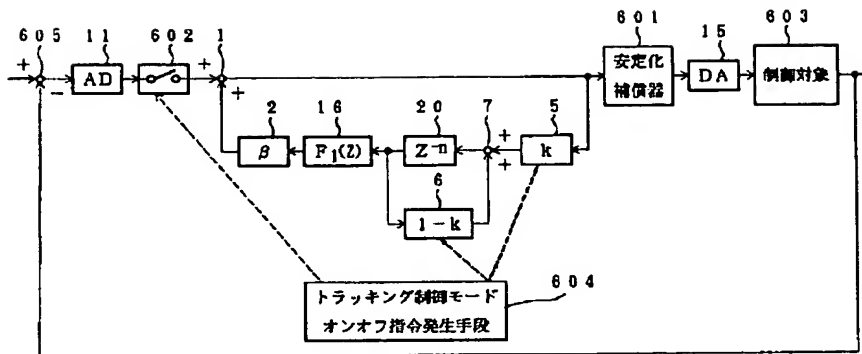
【図4】



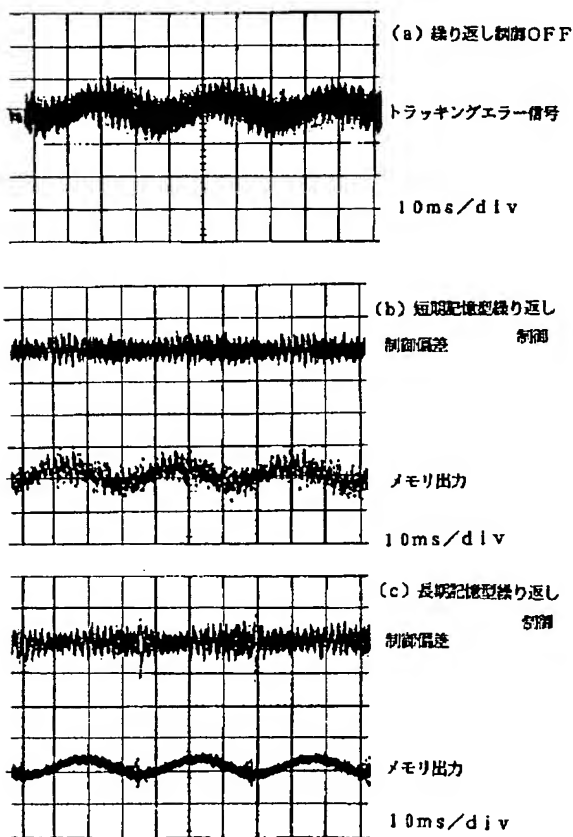
The diagram illustrates a digital filter system with feedback and noise detection. The main signal path starts with an input signal entering a summing junction (11). The output of this junction goes through a low-pass filter (31) and a delay element (Z⁻¹, 13) to a noise detector (14). The noise detector outputs two signals: $k, k_1 = 0$ (noise detected) and $k, k_1 = 1$ (noise not detected). The main signal path continues through a delay element (Z⁻¹, 16) and a gain element (β, 2) to another summing junction (15). The output of this junction goes through a delay element (Z⁻¹, 17) and a gain element (α, 18) to a third summing junction (19). The output of the third junction goes through a delay element (Z⁻¹, 20) and a gain element (1-k, 8) to a fourth summing junction (21). The output of the fourth junction goes through a delay element (Z⁻¹, 22) and a gain element (1-α, 18) to a fifth summing junction (23). The output of the fifth junction goes through a delay element (Z⁻¹, 24) and a gain element (1-k₁, 402) to a sixth summing junction (25). The output of the sixth junction goes through a delay element (Z⁻¹, 26) and a gain element (1-k₁, 401) to a seventh summing junction (27). The output of the seventh junction goes through a delay element (Z⁻¹, 28) and a gain element (1-k, 8) to an eighth summing junction (29). The output of the eighth junction goes through a delay element (Z⁻¹, 30) and a gain element (1-α, 18) to a ninth summing junction (31). The output of the ninth junction goes through a delay element (Z⁻¹, 32) and a gain element (1-k₁, 402) to a tenth summing junction (33). The output of the tenth junction goes through a delay element (Z⁻¹, 34) and a gain element (1-k, 8) to an eleventh summing junction (35). The output of the eleventh junction goes through a delay element (Z⁻¹, 36) and a gain element (1-α, 18) to a twelfth summing junction (37). The output of the twelfth junction goes through a delay element (Z⁻¹, 38) and a gain element (1-k₁, 402) to a thirteenth summing junction (39). The output of the thirteenth junction goes through a delay element (Z⁻¹, 40) and a gain element (1-k, 8) to a fourteenth summing junction (41). The output of the fourteenth junction goes through a delay element (Z⁻¹, 42) and a gain element (1-α, 18) to a fifteenth summing junction (43). The output of the fifteenth junction goes through a delay element (Z⁻¹, 44) and a gain element (1-k₁, 402) to a sixteenth summing junction (45). The output of the sixteenth junction goes through a delay element (Z⁻¹, 46) and a gain element (1-k, 8) to a seventeenth summing junction (47). The output of the seventeenth junction goes through a delay element (Z⁻¹, 48) and a gain element (1-α, 18) to an eighteenth summing junction (49). The output of the eighteenth junction goes through a delay element (Z⁻¹, 50) and a gain element (1-k₁, 402) to a nineteenth summing junction (51). The output of the nineteenth junction goes through a delay element (Z⁻¹, 52) and a gain element (1-k, 8) to a twentieth summing junction (53). The output of the twentieth junction goes through a delay element (Z⁻¹, 54) and a gain element (1-α, 18) to a twenty-first summing junction (55). The output of the twenty-first junction goes through a delay element (Z⁻¹, 56) and a gain element (1-k₁, 402) to a twenty-second summing junction (57). The output of the twenty-second junction goes through a delay element (Z⁻¹, 58) and a gain element (1-k, 8) to a twenty-third summing junction (59). The output of the twenty-third junction goes through a delay element (Z⁻¹, 60) and a gain element (1-α, 18) to a twenty-fourth summing junction (61). The output of the twenty-fourth junction goes through a delay element (Z⁻¹, 62) and a gain element (1-k₁, 402) to a twenty-fifth summing junction (63). The output of the twenty-fifth junction goes through a delay element (Z⁻¹, 64) and a gain element (1-k, 8) to a twenty-sixth summing junction (65). The output of the twenty-sixth junction goes through a delay element (Z⁻¹, 66) and a gain element (1-α, 18) to a twenty-seventh summing junction (67). The output of the twenty-seventh junction goes through a delay element (Z⁻¹, 68) and a gain element (1-k₁, 402) to a twenty-eighth summing junction (69). The output of the twenty-eighth junction goes through a delay element (Z⁻¹, 70) and a gain element (1-k, 8) to a twenty-ninth summing junction (71). The output of the twenty-ninth junction goes through a delay element (Z⁻¹, 72) and a gain element (1-α, 18) to a thirtieth summing junction (73). The output of the thirtieth junction goes through a delay element (Z⁻¹, 74) and a gain element (1-k₁, 402) to a thirty-first summing junction (75). The output of the thirty-first junction goes through a delay element (Z⁻¹, 76) and a gain element (1-k, 8) to a thirty-second summing junction (77). The output of the thirty-second junction goes through a delay element (Z⁻¹, 78) and a gain element (1-α, 18) to a thirty-third summing junction (79). The output of the thirty-third junction goes through a delay element (Z⁻¹, 80) and a gain element (1-k₁, 402) to a thirty-fourth summing junction (81). The output of the thirty-fourth junction goes through a delay element (Z⁻¹, 82) and a gain element (1-k, 8) to a thirty-fifth summing junction (83). The output of the thirty-fifth junction goes through a delay element (Z⁻¹, 84) and a gain element (1-α, 18) to a thirty-sixth summing junction (85). The output of the thirty-sixth junction goes through a delay element (Z⁻¹, 86) and a gain element (1-k₁, 402) to a thirty-seventh summing junction (87). The output of the thirty-seventh junction goes through a delay element (Z⁻¹, 88) and a gain element (1-k, 8) to a thirty-eighth summing junction (89). The output of the thirty-eighth junction goes through a delay element (Z⁻¹, 90) and a gain element (1-α, 18) to a thirty-ninth summing junction (91). The output of the thirty-ninth junction goes through a delay element (Z⁻¹, 92) and a gain element (1-k₁, 402) to a fortieth summing junction (93). The output of the fortieth junction goes through a delay element (Z⁻¹, 94) and a gain element (1-k, 8) to a forty-first summing junction (95). The output of the forty-first junction goes through a delay element (Z⁻¹, 96) and a gain element (1-α, 18) to a forty-second summing junction (97). The output of the forty-second junction goes through a delay element (Z⁻¹, 98) and a gain element (1-k₁, 402) to a forty-third summing junction (99). The output of the forty-third junction goes through a delay element (Z⁻¹, 100) and a gain element (1-k, 8) to a forty-fourth summing junction (101). The output of the forty-fourth junction goes through a delay element (Z⁻¹, 102) and a gain element (1-α, 18) to a forty-fifth summing junction (103). The output of the forty-fifth junction goes through a delay element (Z⁻¹, 104) and a gain element (1-k₁, 402) to a forty-sixth summing junction (105). The output of the forty-sixth junction goes through a delay element (Z⁻¹, 106) and a gain element (1-k, 8) to a forty-seventh summing junction (107). The output of the forty-seventh junction goes through a delay element (Z⁻¹, 108) and a gain element (1-α, 18) to a forty-eighth summing junction (109). The output of the forty-eighth junction goes through a delay element (Z⁻¹, 110) and a gain element (1-k₁, 402) to a forty-ninth summing junction (111). The output of the forty-ninth junction goes through a delay element (Z⁻¹, 112) and a gain element (1-k, 8) to a fiftieth summing junction (113). The output of the fiftieth junction goes through a delay element (Z⁻¹, 114) and a gain element (1-α, 18) to a fifty-first summing junction (115). The output of the fifty-first junction goes through a delay element (Z⁻¹, 116) and a gain element (1-k₁, 402) to a fifty-second summing junction (117). The output of the fifty-second junction goes through a delay element (Z⁻¹, 118) and a gain element (1-k, 8) to a fifty-third summing junction (119). The output of the fifty-third junction goes through a delay element (Z⁻¹, 120) and a gain element (1-α, 18) to a fifty-fourth summing junction (121). The output of the fifty-fourth junction goes through a delay element (Z⁻¹, 122) and a gain element (1-k₁, 402) to a fifty-fifth summing junction (123). The output of the fifty-fifth junction goes through a delay element (Z⁻¹, 124) and a gain element (1-k, 8) to a fifty-sixth summing junction (125). The output of the fifty-sixth junction goes through a delay element (Z⁻¹, 126) and a gain element (1-α, 18) to a fifty-seventh summing junction (127). The output of the fifty-seventh junction goes through a delay element (Z⁻¹, 128) and a gain element (1-k₁, 402) to a fifty-eighth summing junction (129). The output of the fifty-eighth junction goes through a delay element (Z⁻¹, 130) and a gain element (1-k, 8) to a fifty-ninth summing junction (131). The output of the fifty-ninth junction goes through a delay element (Z⁻¹, 132) and a gain element (1-α, 18) to a sixtieth summing junction (133). The output of the sixtieth junction goes through a delay element (Z⁻¹, 134) and a gain element (1-k₁, 402) to a sixty-first summing junction (135). The output of the sixty-first junction goes through a delay element (Z⁻¹, 136) and a gain element (1-k, 8) to a sixty-second summing junction (137). The output of the sixty-second junction goes through a delay element (Z⁻¹, 138) and a gain element (1-α, 18) to a sixty-third summing junction (139). The output of the sixty-third junction goes through a delay element (Z⁻¹, 140) and a gain element (1-k₁, 402) to a sixty-fourth summing junction (141). The output of the sixty-fourth junction goes through a delay element (Z⁻¹, 142) and a gain element (1-k, 8) to a sixty-fifth summing junction (143). The output of the sixty-fifth junction goes through a delay element (Z⁻¹, 144) and a gain element (1-α, 18) to a sixty-sixth summing junction (145). The output of the sixty-sixth junction goes through a delay element (Z⁻¹, 146) and a gain element (1-k₁, 402) to a sixty-seventh summing junction (147). The output of the sixty-seventh junction goes through a delay element (Z⁻¹, 148) and a gain element (1-k, 8) to a sixty-eighth summing junction (149). The output of the sixty-eighth junction goes through a delay element (Z⁻¹, 150) and a gain element (1-α, 18) to a sixty-ninth summing junction (151). The output of the sixty-ninth junction goes through a delay element (Z⁻¹, 152) and a gain element (1-k₁, 402) to a seventieth summing junction (153). The output of the seventieth junction goes through a delay element (Z⁻¹, 154) and a gain element (1-k, 8) to a seventy-first summing junction (155). The output of the seventy-first junction goes through a delay element (Z⁻¹, 156) and a gain element (1-α, 18) to a seventy-second summing junction (157). The output of the seventy-second junction goes through a delay element (Z⁻¹, 158) and a gain element (1-k₁, 402) to a seventy-third summing junction (159). The output of the seventy-third junction goes through a delay element (Z⁻¹, 160) and a gain element (1-k, 8) to a seventy-fourth summing junction (161). The output of the seventy-fourth junction goes through a delay element (Z⁻¹, 162) and a gain element (1-α, 18) to a seventy-fifth summing junction (163). The output of the seventy-fifth junction goes through a delay element (Z⁻¹, 164) and a gain element (1-k₁, 402) to a seventy-sixth summing junction (165). The output of the seventy-sixth junction goes through a delay element (Z⁻¹, 166) and a gain element (1-k, 8) to a seventy-seventh summing junction (167). The output of the seventy-seventh junction goes through a delay element (Z⁻¹, 1

Figure 1 is a block diagram of a control system. The system includes an AD converter (11) and a DA converter (15). A summing junction (1) receives input from the AD converter (11) and the DA converter (15). The output of the summing junction (1) is fed into a gain block (2), which is then connected to a transfer function block (16). The output of the transfer function block (16) is fed into a delay block (20). The output of the delay block (20) is fed into a summing junction (7). The output of the summing junction (7) is fed into a gain block (k, 5). The output of the gain block (k, 5) is fed into the DA converter (15). The output of the DA converter (15) is also fed into the summing junction (1). A control mode switching instruction generating means (501) is connected to the gain blocks (k, 5) and (1-k, 8).

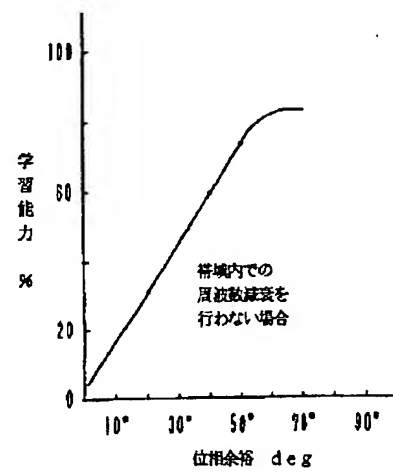
【図8】



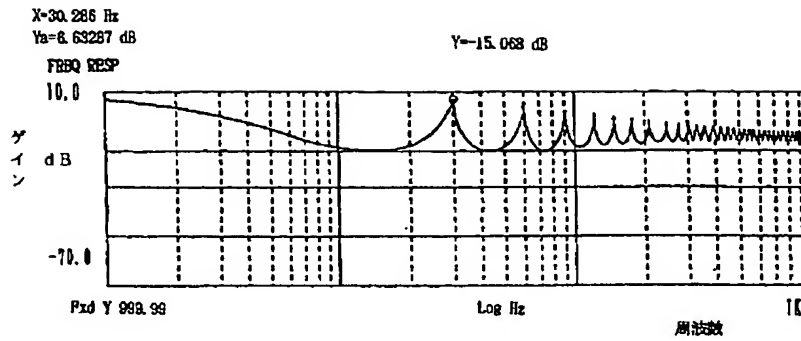
【図9】



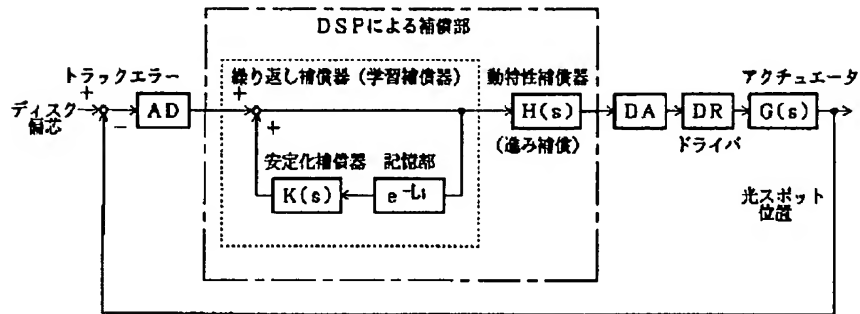
【図10】



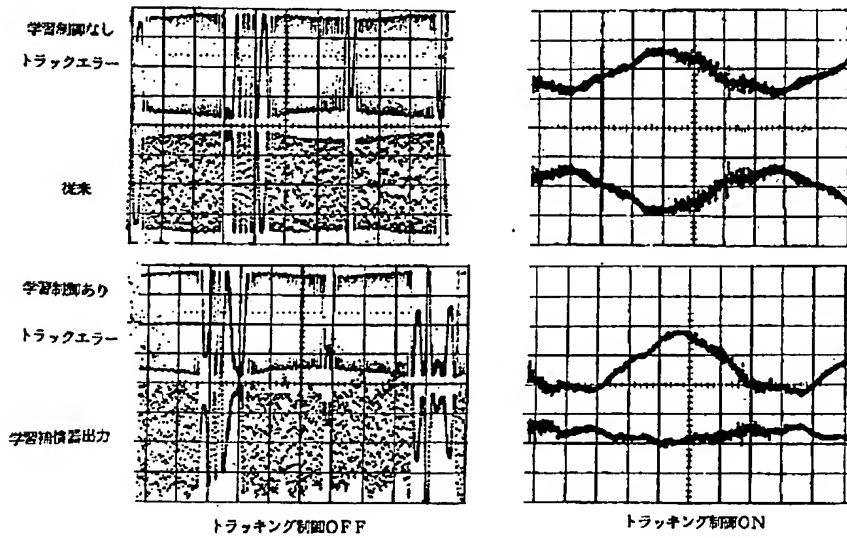
【図 12】



【図 13】



【図 14】



【図15】

